



UTILITY MODEL LAID-OPEN PUBLICATION (U)

No. Sho 51-67662

May 28, 1976

---

Application No.:	Sho 49-140525
Filing Date:	November 22, 1974
Applicant:	Hitachi, Ltd.
Creator of Device:	M. Nakamura
Creator of Device:	A. Yoshizaki
Creator of Device:	S. Mori
Agent:	A. Takahashi, Patent Attorney
Int. Cl <sup>2</sup> :	H 03 K 6/06
	H 03 K 5/00
	H 02 H 3/00

---

RECEIVED

MAY 03 2004

Technology Center 2600

[TITLE OF THE DEVICE REGISTRATION]

Circuit for forming rectangular waveform

[CLAIM OF UTILITY MODEL]

In a circuit for converting AC input into square waves, a circuit for forming rectangular waveforms which biases an input transformer secondary circuit with any DC voltage, characterized by comprising a circuit for absorbing the surge voltage generated in the secondary coil; an impedance connected in series to the secondary coil output voltage; a nonlinear limiter circuit for protection against excessive input; and an amplifiable integrated element.

[BRIEF DESCRIPTION OF THE DRAWINGS]

Fig. 1 shows a diagram of a conventional circuit for forming rectangular waveforms;

Fig. 2 shows an embodiment of a circuit for forming rectangular waveforms according to the present device;

Fig. 3 is a diagram of waveforms of the circuit shown in Fig. 2 in operation;

Fig. 4 is an explanatory diagram of a specific embodiment example according to the present device;

Fig. 5 is an explanatory block diagram of Fig. 4; and

Fig. 6 is an explanatory diagram showing a method for synthesizing vectors of Fig 4.

Explanations of numerals

- 19     Input transformer
- 20     Comparator
- 21     Comparator
- 22     Inverting input
- 23     Non-inverting input
- 24     Inverting input
- 25     Non-inverting input
- 26     Output
- 27     Output

28 to 33     Resistors

34 to 37     Diodes

⑨日本国特許庁

⑤ Int. Cl.<sup>2</sup>

H 03 K 6/06

H 03 K 5/00

H 02 H 3/00

⑥日本分類

98(5)C 2

58 E 0

## 公開実用新案公報

⑩実開昭51-67662

庁内整理番号 7376-53

6733-52

⑪公開 昭51(1976). 5.28

審査請求 未請求 (全3頁)

## ⑫矩形波成形回路

⑬実 願 昭49-140525

⑭出 願 昭49(1974)11月22日

⑮考 案 者 中村満

勝田市市毛882株式会社日立製

作所那珂工場内

同 吉崎教浩

同所

同 森茂

同所

⑯出 願 人 株式会社日立製作所

東京都千代田区丸の内1の5の1

⑰代 理 人 弁理士 高橋明夫

## ⑱実用新案登録請求の範囲

交流入力を方形波に変換する回路において、入力変成器2次回路を任意の直流電圧でバイアスし、

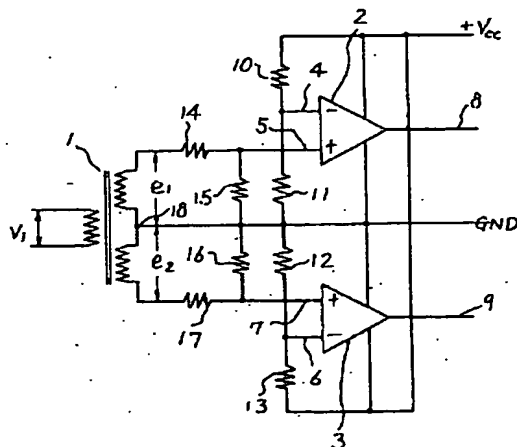
2次コイルに発生したサージ吸収回路と2次コイル出力電圧に直列に接続したインピーダンスと過大入力に対する保護用非直線リミッタ回路と、増巾能力を有する集積素子とより成ることを特徴とする矩形波成形回路。

## 図面の簡単な説明

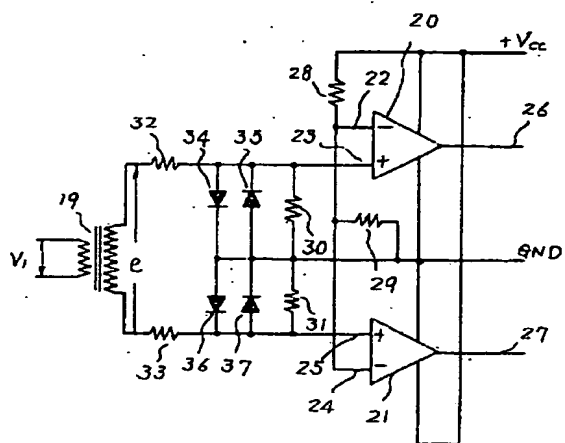
第1図は、従来の矩形波成形回路図、第2図は本考案による矩形波成形回路の一実施例を示す図、第3図は、第2図の回路の動作時の波形図、第4図は、本案の実施例具体例の説明図、第5図は、第4図の説明用ブロック図、第6図は、第4図のベクトル合成方法を示した説明図である。

符号の説明、19……入力トランス、20……コンパレータ、21……コンパレータ、22……反転入力、23……非反転入力、24……反転入力、25……非反転入力、26……出力、27……出力、28～33……抵抗器、34～37……ダイオード。

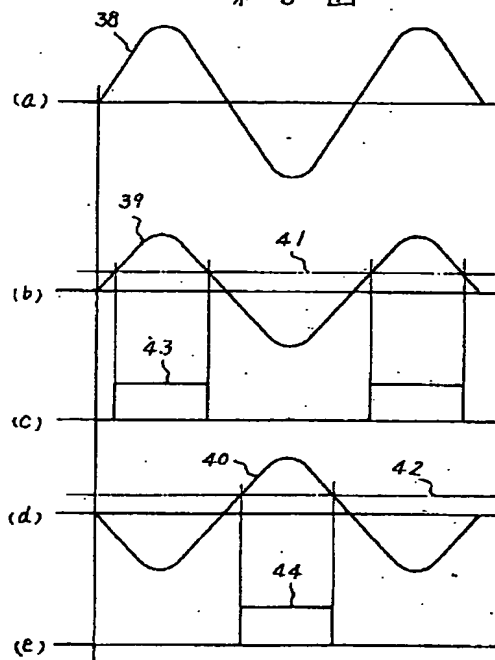
第1図



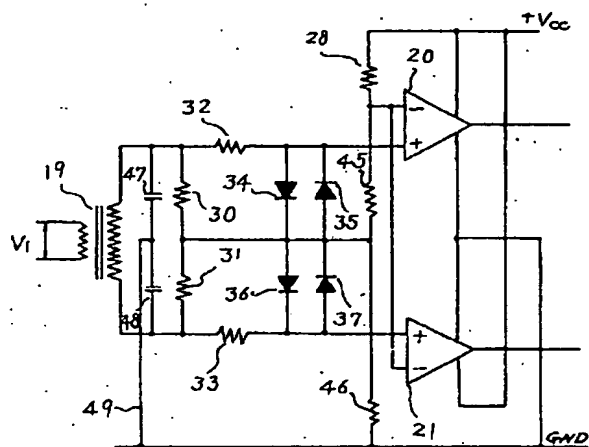
第2図



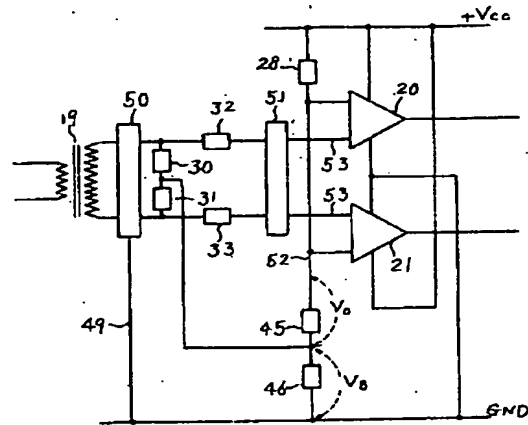
第3図



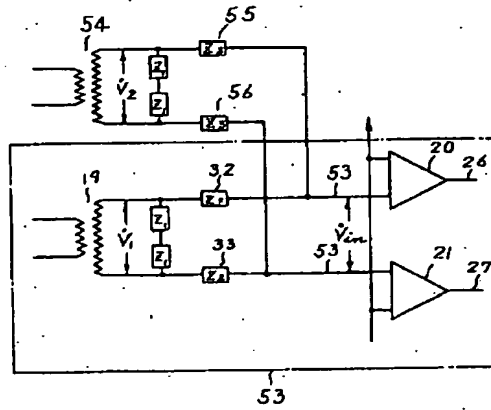
第4図

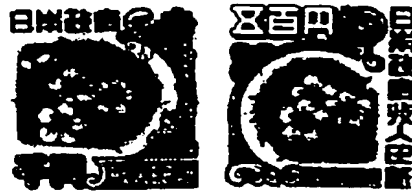


第 5 図



第 6 図





(1,500円)

実用新案登録願 28

昭和49年11月22日

特許庁長官 殿

考案の名称 <sup>クケイ ハ セイケイカイロ</sup>  
矩形波成形回路

考案者

<sup>カブタシ</sup> <sup>イナゲ</sup>  
〒100 東京都茨城県勝田市市毛882番地  
<sup>ヒダチセイサクシヨ</sup> <sup>ナカコウジヨナイ</sup>  
株式会社 日立製作所 那珂工場内  
<sup>ナカ</sup> <sup>ムラ</sup> <sup>ミツル</sup>  
氏 名 中 村 満

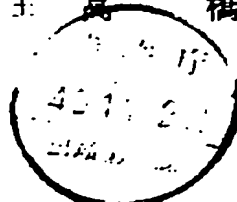
(ほか 2 名)

実用新案登録出願人

〒100 東京都千代田区丸の内一丁目5番1号  
名称 (510) 株式会社 日立製作所  
代表者 吉 山 博 吉

代理人

〒100 東京都千代田区丸の内一丁目5番1号  
株式会社 日立製作所 内  
電話東京 270-2111 (大代表)  
氏 名 27069 弁理士 高 橋 明 夫



49 140525

明 細 書

考案の名称 矩形波成形回路

実用新案登録請求の範囲

交流入力を方形波に変換する回路において、入力変成器２次回路を任意の直流電圧でバイアスし、２次コイルに発生したサージ吸収回路と２次コイル出力電圧に直列に接続したインピーダンスと過大入力に対する保護用非直線リミッタ回路と、増巾能力を有する集積素子とより成ることを特徴とする矩形波成形回路。

考案の詳細な説明

本考案は、保護継電器の入力装置に係り、特に過大入力に対して保護された、矩形波成形回路に関する。

従来技術では第１図の如く、コンパレータ２及び３の反転入力端子４及び６に印加する基準電圧を、抵抗１０と１１及び抵抗１３と１２とで電源電圧 $V_{cc}$ を抵抗分割することによつて得ていた。そして交流入力電圧 $V_1$ から、入力トランス１の２次側出力に中間タップ１８をもうけて、大きさ



の等しい電圧  $e_1$  及び  $e_2$  を得。これらを抵抗 14 と 15 及び、抵抗 17 と 16 とで抵抗分割してコンパレータ 2 及び 3 の非反転入力 5 及び 7 に接続していた。しかしながら、普通コンパレータ 2 及び 3 の反転入力 4 及び 6 に印加される基準電圧は等しくとつてゐる。この点に着眼して、4 個の抵抗器を使つてゐたのをもつと数をへらせをいただろうか。また入力トランス 1 の 2 次側出力に中間タップをもうけているが、これをなくすことにより、原価低減がはかれないうだろうか、というような要求があつた。次に入力  $V_1$  に過大電圧が印加された時に、コンパレータ 2 及び 3 を破損から防ぐような保護回路が、要求されていた。

本考案の目的は、上記した要求点を満足させ、より信頼性の高い矩形波成形回路を提供するにある。

2 個のコンパレータに供給する基準電圧を、電源電圧から別々に得てゐたものを、一緒にして同じ基準電圧をそれぞれのコンパレータに供

給するようにして、抵抗器の数を2個に減らした。  
また入力トランスの2次側出力の中間タップをなくしても、従来どうりの結果が得られることから、取りのぞいた。そして、コンパレータの非反転入力部と電源の一極性側にダイオードをそれぞれ2個ずつ接続することにより、コンパレータを過大入力から保護するようにした。

第2図において、19は入力トランスであり、1次側に交流入力 $V_1$ が接続される。20及び21はコンパレータで、反転入力22及び24、非反転入力23及び25がある。そして、反転入力の電位が非反転入力の電位より高い時には、出力26及び27は負の方向に引つばられ、また逆の場合には正の方向に引つばられて、それぞれ飽和する。28～33は抵抗器、34～37はダイオードである。今、抵抗器28～33を $R_{28} \sim R_{33}$ とする。コンパレータ20及び21の基準電圧を $V_0$ とする。コンパレータ20の非反転入力23の入力電圧を $E_{20}$ 、コンパレータ21のそれを $E_{21}$ とする。

基準電圧  $V_O$  は、以下のように表わされ第3図41及び42に示すようになる。

$$V_O = \frac{R_{29}}{R_{28} + R_{29}} \times V_{cc}$$

次にアース (GND) を基準にして考えれば、 $E_{20}$  及び  $E_{21}$  は以下のように表わされる。ただし  $R_{32} = R_{33}$ 、 $R_{30} = R_{31}$  とし、入力トランス19の2次側 出力を  $e$  とする。

$$E_{20} = \frac{1}{2} \times \frac{R_{30}}{R_{30} + R_{32}} \times e$$

$$E_{21} = -\frac{1}{2} \times \frac{R_{31}}{R_{31} + R_{33}} \times e = -E_{20}$$

すなわち、 $E_{20}$  と  $E_{21}$  は大きさが等しくて位相が反転している。したがって、コンパレータ20の出力26は第3図-(c)、コンパレータ21の出力27は第3図-(e)に示す様になる。これは第3図の入力電圧38の正の半波で、コンパレータ出力43を出力し、負の半波でコンパレータ出

力 4 4 を出力している。コンパレータ出力 4 3 及び 4 4 は、第 2 図の出力 2 6 及び 2 7 の出力と同じものを示している。

次に、ダイオードは導通状態でも電圧降下を生じる（以下この電圧を  $V_D$  とする）。普通 0.5 V 位である。すなわち第 2 図に示す回路において、非反転入力 2 3 及び 2 5 に印加される電圧が、 $V_D$  以下の時はダイオード 3 4 ~ 3 7 は不導通となつてゐる。従つて、<sup>反転</sup>入力 2 2 及び 2 4 に印加される基準電圧がダイオードの  $V_D$  よりも小さければ、出力 2 6 及び 2 7 には何ら影響を与えないことは明らかである。ところが、非反転入力 2 3 及び 2 5 の電圧が、ダイオードの  $V_D$  より大きくなつた時には、ダイオードは導通となつてしまい、非反転入力 2 3 及び 2 5 の電圧は、 $V_D$  より大きくはなれない。すなわち入力に過大電圧が印加されても、コンパレータ 2 0 及び 2 1 は、破損することはない。

第 4 図は第 2 図をさらに具体化したもので第 2 図における入力に並列の抵抗 3 0、3 1 を入力に

直列の抵抗器32、33より、入力トランス19の2次側に移し、コンデンサ47、48を図示のように挿入し、入力トランス19の1次コイルから、2次コイルに両コイル間の浮遊容量を伝わり、2次コイルに侵入したサージ電圧を、サージバイパス回路49を通し、GNDにサージ的に短絡する目的で入れた保護回路である。第4図は、第5図のブロック図で、その如きを説明する。

バイアス回路を構成する抵抗器28、45、

46により、非反転入力回路53、を抵抗器46の両端電圧 $V_B$ でバイアスをかけ、抵抗器30、

31で平衡にバイアスし、コンパレータ20、

21を1電源駆動する安定化のためのバイアス電圧1～2V程度を供給する。反転入力回路52は、

非反転入力回路バイアス電圧 $V_B$ より、さらに抵抗器45の両端電圧 $V_B$ をけ加える。したがつて、52と53の直流電位差 $V_B$ が反転入力回路と非反転入力回路の直流電位差となり、前述の第3図の基準電圧41、42に相当する感度電圧である。このようなバイアス電圧のもとに、AC入

力が入力トランス19とセの2次コイルに並列にサージ吸収回路50と、非反転回路のバイアス抵抗30、31を入れ、直列抵抗32、33を経て交流の過大人力電圧をリミッタ51で保護し、コンパレータの非反転入力端子に至る。この場合、第5図の直列抵抗32、33は第6図のようなAC入力のベクトル合成に意味を有するものである。

第6図は、AC入力のみに着眼するため、直流バイアス回路、サージ吸収回路、リミッタは省略して記している。第5図の回路に相当する部分は2点鎖線で囲んだ53の部分である。これに別の入力トランス54とセの2次回路に直列に抵抗器55、56を接続し、抵抗器32、33と並列に非反転回路53にAC電圧を印加する。今、入力トランス19の2次電圧を $V_1$ とし、別の入力トランス54の2次電圧を $V_2$ とする。両トランスの並列抵抗を $Z_1$ とし、直列抵抗32、33を $Z_2$ とし、他方の直列抵抗55、56を $Z_3$ とすると両ベクトル $V_1$ と $V_2$ の合成された非反転

入力端子間電圧  $V_{in}$  は

$$V_{in} = \frac{1}{Z_1 + Z_2} (Z_2 V_1 + Z_1 V_2)$$

の値になる。但し、コンパレータの入力インピーダンスは、 $Z_1$ 、 $Z_2$  に比べ非常に高いものとし無視した。このように、 $V_{in}$  ベクトリは  $Z_1$ 、 $Z_2$  の値で決まり、 $V_1$ 、 $V_2$  をベクトル合成した電圧として得ることが可能となり、コンパレータ 20、21 の出力方形波 26、27 は第3図で説明した如くの動作図に従つて得られる。

本案は、直接位相比較継電器の入力回路に適用する場合が多く、上述の意義は大きく、必要不可決の特性である。

本装置では、過大電圧による破損を防ぐための回路がもうけてあり、信頼性が向上した。基準電圧を同一のものとしたため、部品数を減らすことができた。また入力トランスの2次側出力の中間タップをなくしたため、原価の低減ができた。またベクトルの合成が容易に行い得る。

本考案においては、基準電圧をコンパレータの反転入力部に印加しているが、これを非反転入力部に印加した場合には、出力として反転されたものが得られることになり、同等の効果を得ることが出来ることは、いうまでもない。本案では、基準電圧を2個のコンパレータに供給しているが、基準電圧を同じにしたコンパレータであれば、複数個に供給してもよい。

また第4図、第5図で述べたサージのバイパス回路49、50は、2次コイルに発生した対、

GNDラインのサージのバイパスルートであるが、これは、リミッタ51と並列に配置しても同様の効果が得られる。また49は、バイアス抵抗30、31の中間点に接続し、抵抗46を通し、GNDラインに落してもよい。また第6図で2ベクトルの合成を説明したが、入力トランスを、並列に、複数個接続すれば、複数のベクトルの合成値に従って動作することも可能である。

図面の簡単な説明

第1図は、従来の矩形波成形回路図、第2図は



本考案による矩形波成形回路の一実施例を示す図。

第3図は、第2図の回路の動作時の波形図。第4

図は、本案の実施例具体例の説明図。第5図は、

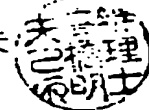
第4図の説明用ブロック図。第6図は、第4図の

ベクトル合成方法を示した説明図である。

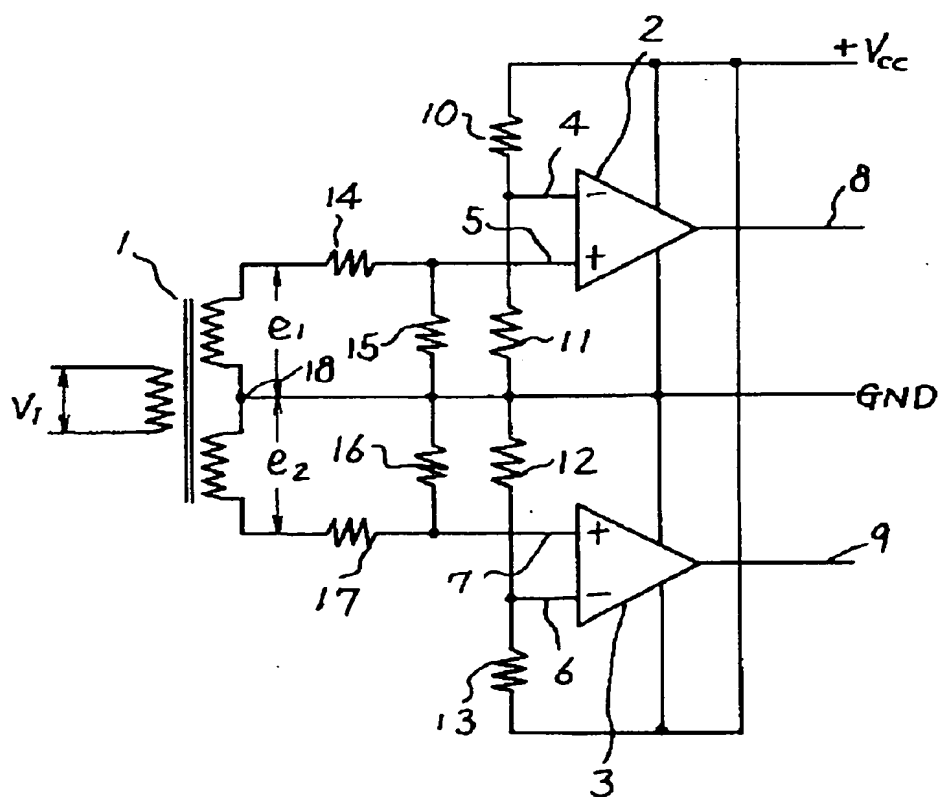
符 号 の 説 明

1 9	入力トランス
2 0	コンパレータ
2 1	コンパレータ
2 2	反転入力
2 3	非反転 入力
2 4	反転入力
2 5	非反転入力
2 6	出力
2 7	出力
2 8 ~ 3 3	抵抗器
3 4 ~ 3 7	ダイオード

代理人 弁理士 高橋明夫



第 1 図

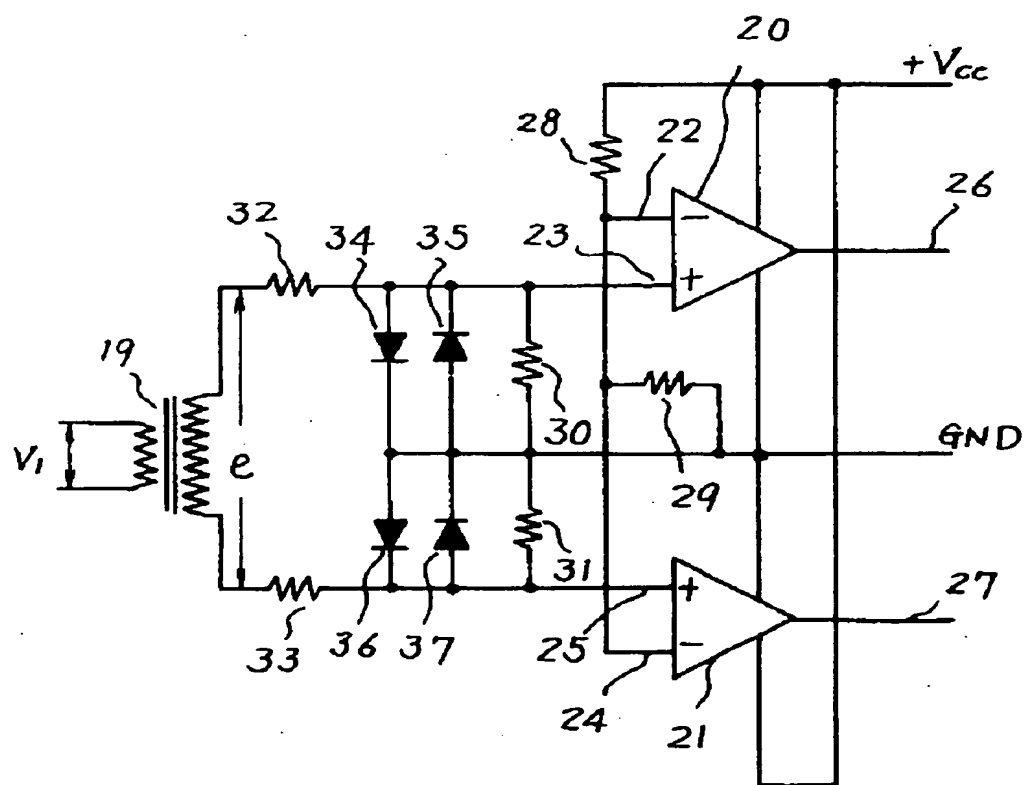


67662  $\frac{1}{6}$

代理人

高橋 明夫

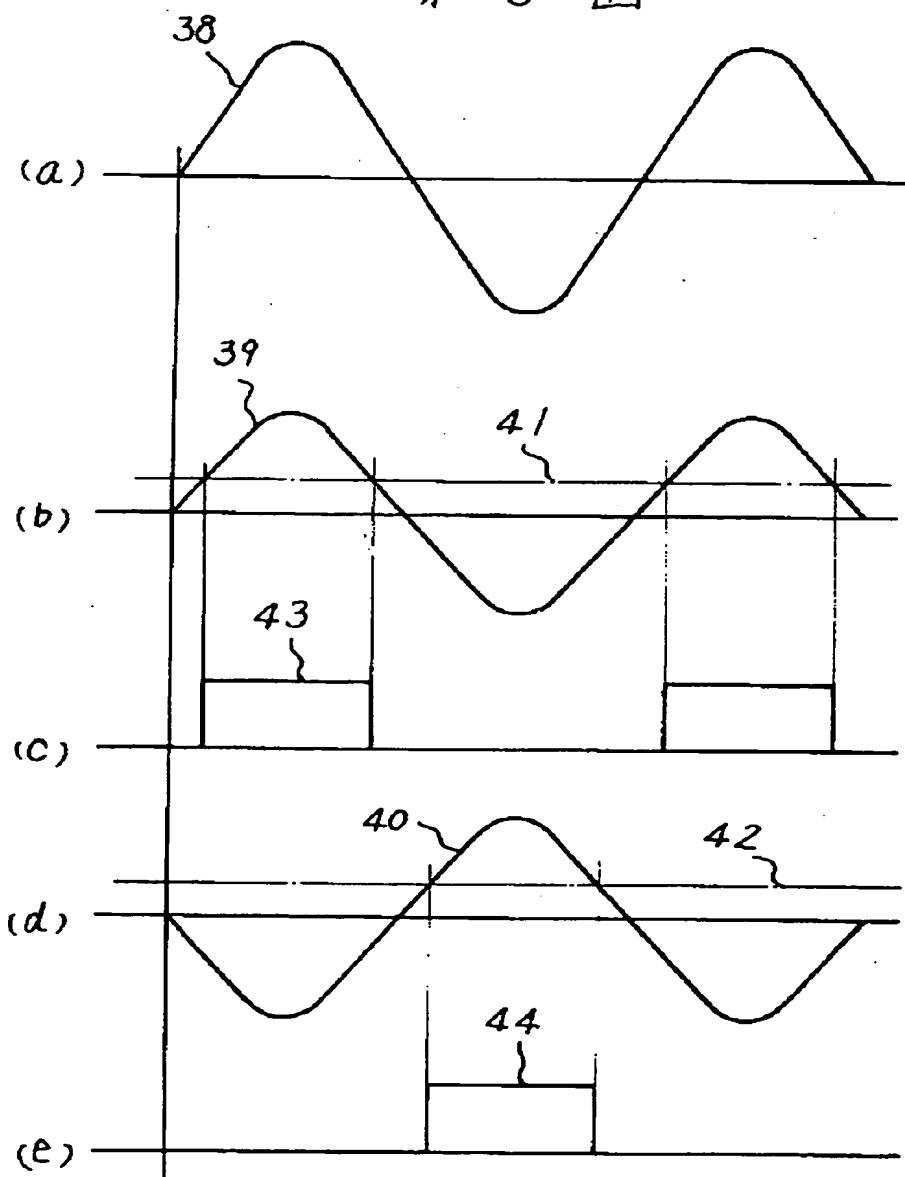
第 2 図



67662  $\frac{2}{6}$

代理人 高橋 明夫

第 3 図

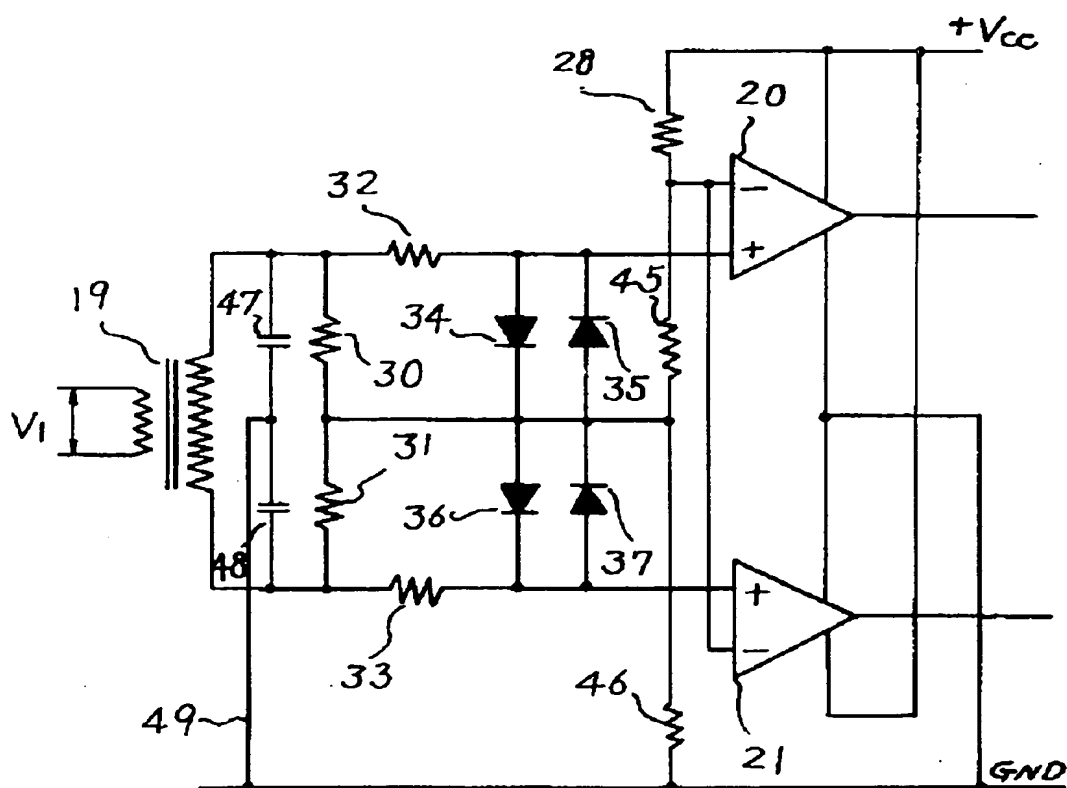


67062  $\frac{3}{6}$

代理人

高橋 明夫

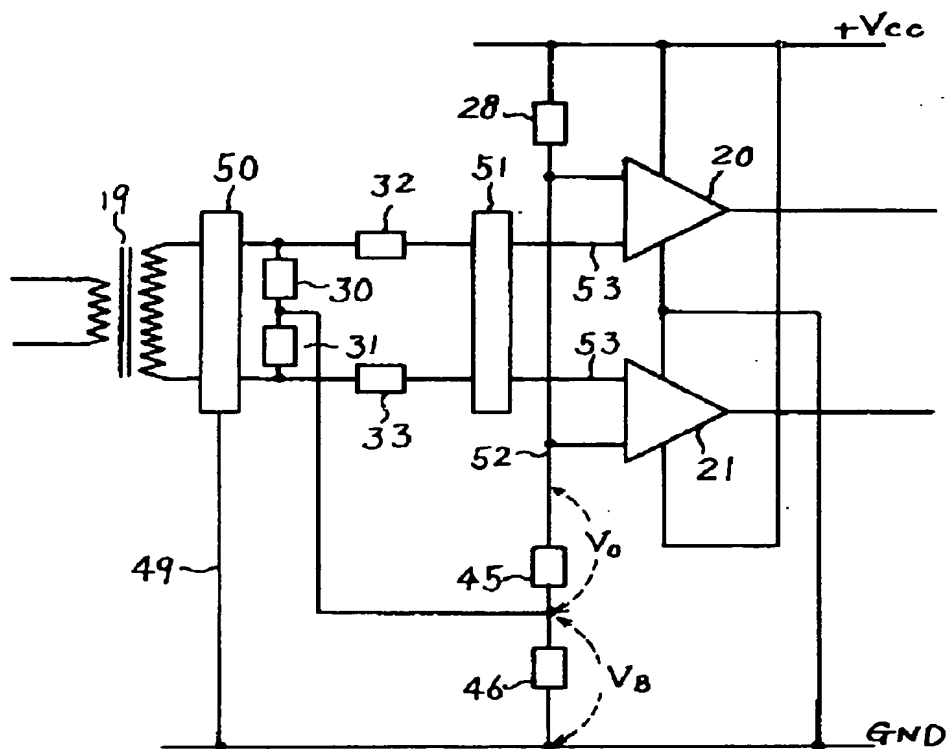
第 4 図



67662  $\frac{4}{6}$

代理人 高橋明夫

第 5 図

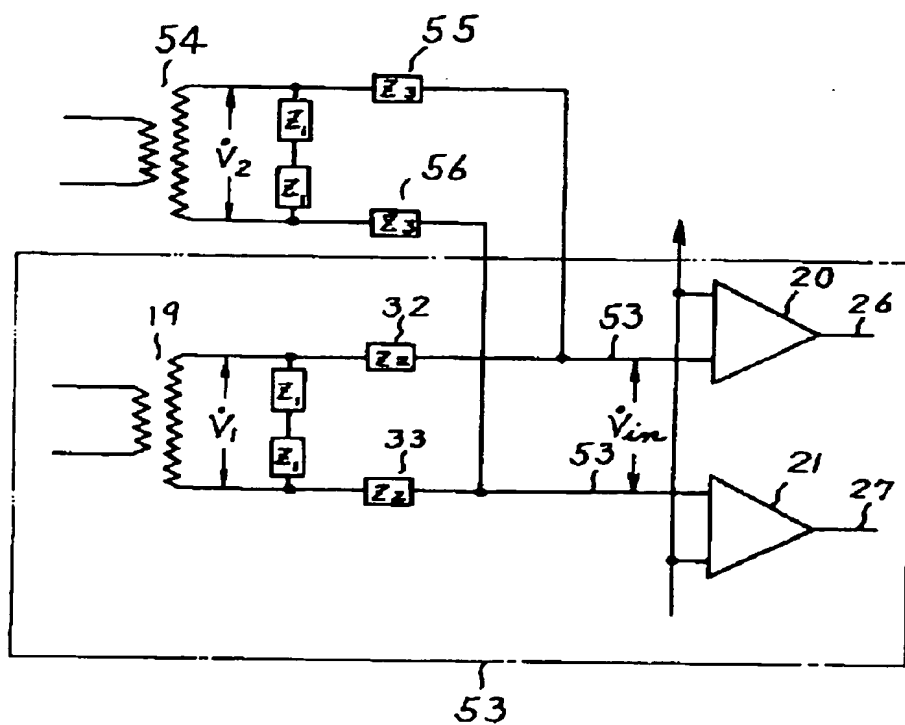


67662  $\frac{5}{6}$

代理人

高橋 明夫

第 6 図



2  $\frac{6}{6}$

代理人

高橋明夫

62

### 添附書類の目録

- (1) 明 細 書 1 通
- (2) 図 面 1 通
- (3) 委 任 状 1 通
- (4) 実用新案登録願副本 1 通

前記以外の考案者、実用新案登録出願人または代理人

### 考 案 者

茨城県勝田<sup>カンタン</sup>市市毛<sup>イチゲ</sup>882番地  
株式会社 日立製作所<sup>ヒタチヒヤクサンヨ</sup> 那珂工場内<sup>ナカコウジヨウナイ</sup>

氏 名<sup>フナナガ</sup> ヨシ<sup>ヨシ</sup> ザキ<sup>ザキ</sup> アツ<sup>アツ</sup> ヒロ<sup>ヒロ</sup>  
吉 崎 敦 浩

住 所 同 上

氏 名 モリ<sup>モリ</sup> シゲル<sup>シゲル</sup>  
森 茂





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**